



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0065412
Application Number

출원 년 월 일 : 2003년 09월 20일
Date of Application SEP 20, 2003

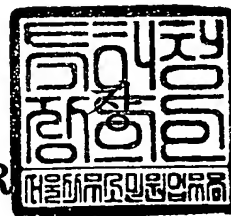
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 12 월 06 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0012
【제출일자】	2003.09.20
【국제특허분류】	G06F
【발명의 명칭】	모바일 시스템에서 마스터 장치와 슬레이브 장치간의 접속구조
【발명의 영문명칭】	Architecture between master device and slave device in mobile system
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	2003-003435-0
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	2003-003437-4
【발명자】	
【성명의 국문표기】	서운식
【성명의 영문표기】	SUH,Woon Sik
【주민등록번호】	661222-1558718
【우편번호】	449-846
【주소】	경기도 용인시 수지읍 풍덕천리 진산마을 삼성5차아파트 523-1804
【국적】	KR
【발명자】	
【성명의 국문표기】	임전택
【성명의 영문표기】	IM,Jeon Taek
【주민등록번호】	640505-1479012

【우편번호】 456-110
【주소】 경기도 안성시 낙원동 낙원맨션아파트 나동 201호
【국적】 KR
【발명자】
【성명의 국문표기】 이진언
【성명의 영문표기】 LEE, Jin Eon
【주민등록번호】 670729-1648619
【우편번호】 442-470
【주소】 경기도 수원시 팔달구 영통동 산나무실미주아파트 652-1006
【국적】 KR
【취지】 특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인
 이영필 (인) 대리인
 정상빈 (인)
【수수료】
【기본출원료】 20 면 29,000 원
【가산출원료】 18 면 18,000 원
【우선권주장료】 0 건 0 원
【심사청구료】 0 항 0 원
【합계】 47,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

시스템을 구성하는 마스터 장치와 슬레이브 장치간의 접속구조가 개시된다. 상기 시스템은 마스터 장치로서의 제1프로세서와 슬레이브 장치로서의 메모리 장치를 접속하는 제1메모리 버스, 마스터 장치로서의 제2프로세서와 상기 메모리 장치를 접속하는 제2메모리 버스 및 상기 제1프로세서와 주변장치를 접속하는 비디오 버스를 구비한다. 상기 시스템은 상기 제1프로세서와 코-프로세서를 접속하는 코-프로세서 버스를 구비한다. 각 메모리 버스, 비디오 버스 및 코-프로세서 버스는 본 발명에 따른 버스 프로토콜에 따라 데이터를 송수신한다.

【대표도】

도 2

【색인어】

버스

【명세서】**【발명의 명칭】**

모바일 시스템에서 마스터 장치와 슬레이브 장치간의 접속구조{Architecture between master device and slave device in mobile system}

【도면의 간단한 설명】

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 상세한 설명이 제공된다.

도 1은 이동 전화기의 일반적인 내부시스템을 나타내는 블록도이다.

도 2는 본 발명의 제1실시예에 따른 이동 전화기의 내부 시스템을 나타내는 블록도이다.

도 3은 도 2에 도시된 이동 전화기의 내부시스템의 동작 타이밍도이다.

도 4는 도 2에 도시된 이동전화기의 내부 시스템의 동작개념을 나타낸다.

도 5는 도 2에 도시된 내부시스템의 프로세서들이 서로 통신을 하는 방법을 나타내는 블록도이다.

도 6은 도 5에 도시된 내부시스템의 동작 타이밍도를 나타낸다.

도 7은 본 발명의 제2실시예에 따른 듀얼-포트 RAM을 구비하는 이동 전화기의 내부 시스템의 블록도를 나타낸다.

도 8a는 본 발명의 제3실시예에 따른 버스 프로코콜을 사용하는 이동 전화기의 내부 시스템의 제1블록도를 나타낸다.

도 8b는 본 발명의 제3실시예에 따른 버스 프로코콜을 사용하는 이동 전화기의 내부 시스템의 제2블록도를 나타낸다.

도 8c는 본 발명의 제3실시예에 따른 버스 프로토콜을 사용하는 이동 전화기의 내부 시스템의 제3블락도를 나타낸다.

도 9는 마스터 장치와 슬레이브 장치사이에 접속되는 버스의 구조를 나타낸다.

도 10은 마스터 장치와 슬레이브 장치사이에 접속되는 버스의 신호들의 정의를 나타낸다.

도 11은 명령 패킷의 구조를 나타낸다.

도 12는 명령 패킷을 구성하는 필드들에 대한 정의를 나타낸다.

도 13은 본 발명에 따른 마스터 장치가 슬레이브 장치로부터 데이터를 독출하는 과정을 나타내는 개념도이다.

도 14는 본 발명에 따른 마스터 장치가 슬레이브 장치로부터 데이터를 독출하는 과정을 나타내는 타이밍도이다.

도 15는 본 발명에 따른 마스터 장치가 슬레이브 장치로부터 데이터를 독출하는 버퍼드 독출 과정을 나타내는 개념도이다.

도 16은 본 발명에 따른 마스터 장치가 슬레이브 장치로부터 데이터를 독출하는 버퍼드 독출 과정을 나타내는 타이밍도이다.

도 17은 본 발명에 따른 마스터 장치가 슬레이브 장치로부터 데이터를 기입하는 과정을 나타내는 타이밍도이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <21> 본 발명은 이동 전화기의 내부시스템에 관한 것으로, 보다 상세하게는 상기 시스템을 구성하는 마스터 장치와 슬레이브 장치간의 접속구조, 접속방법, 및 통신 방법에 관한 것이다.
- <22> 도 1은 이동 전화기의 일반적인 내부 시스템을 나타내는 블록도이다. 도 1을 참조하면, 이동 전화기 또는 PDA 등의 휴대용 통신기기기에 사용되는 시스템(100)은 어플리케이션 프로세서(Application Processor(AP); 110), LCD 모듈(120), 카메라 모듈(130), 제1로컬 메모리 장치(140), 모뎀(modem; 150), 제2로컬 메모리 장치(160), 및 버스(170)를 구비한다.
- <23> 일반적으로 AP(110)은 CPU(111)을 기반으로 동작하며, AP(110)은 LCD 모듈(120)의 동작을 제어하기 위한 LCD 모듈 컨트롤러(113), 카메라 모듈(130)의 동작을 제어하기 위한 카메라 모듈 컨트롤러(115), 제1로컬 메모리 장치(140)의 동작을 제어하는 메모리 컨트롤러(117), 모뎀(150)의 외부 인터페이스(159)와 버스(170)를 통하여 접속되는 외부 인터페이스(119) 및 각 컨트롤러(113, 115, 117)와 외부 인터페이스(119)의 전반적인 동작을 제어하는 CPU(111)를 구비한다.
- <24> 여기서 LCD 모듈(120)은 LCD 패널을 포함하고, 카메라 모듈(130)은 카메라를 포함하고, 제1로컬 메모리 장치(140)는 ROM(141)과 RAM(143)을 구비한다.
- <25> 일반적으로 모뎀(150)은 DSP(155)에 기반을 두고 있으며, 모뎀(150)은 시스템(100)과 시스템(100)의 외부에 존재하는 다른 시스템(미 도시)과 통신한다. 모뎀(150)은 데이터를 처리하기 위한 데이터 시그널 프로세서(data signal processor(DSP); 155), 제2로컬 메모리 장치

(160)의 동작을 제어하는 메모리 컨트롤러(153), CPU(151)와 DSP(155)을 인터페이싱하는 인터페이스(153)를 구비한다. 제2로컬 메모리 장치(160)는 ROM(161)과 RAM(163)을 구비한다.

<26> 종래의 시스템(100)은 동일한 기능을 하는 두 개의 로컬 메모리 장치들(140과 160)을 구비한다. 또한, AP(110)와 모뎀(150)은 서로 동기되어 동작될 필요가 있으므로, AP(110)와 모뎀(150)은 버스(170)를 통하여 소정의 통신을 해야한다. 따라서 종래의 시스템(100)은 중복되는 메모리 장치들(140과 160)을 구비하므로, 시스템의 단가(cost)가 증가하고, 시스템의 크기(size)도 증가한다. 또한 AP(110)와 모뎀(150)이 서로 동기되어 통신을 해야하므로 시스템(100)이 복잡해지는 문제점이 있다.

【발명이 이루고자 하는 기술적 과제】

<27> 따라서 본 발명이 이루고자 하는 기술적인 과제는 중복되는 메모리 장치를 제거하여 이동 전화기의 내부 시스템의 크기를 감소시키고 상기 내부 시스템을 단순화할 수 있는 방법 및 장치를 제공하는 것이다.

【발명의 구성 및 작용】

<28> 상기 기술적 과제를 달성하기 위한 제1프로세서, 제2프로세서, 메모리 장치 및 상기 제1프로세서와 상기 제2프로세서와 상기 메모리 장치에 각각 접속되는 버스를 구비하는 시스템에서 상기 메모리 장치를 액세스하는 방법은 상기 제1프로세서가 클락신호의 제1에지에 응답하여 상기 버스를 통하여 상기 메모리 장치를 액세스하는 단계; 및 상기 제2프로세서가 상기 클락신호의 제2에지에 응답하여 상기 버스를 통하여 상기 메모리 장치를 액세스하는 단계를 구비한다.

- <29> 상기 기술적 과제를 달성하기 위한 시스템은 메모리 장치; 상기 메모리 장치를 액세스할 수 있는 제1프로세서; 상기 메모리 장치를 액세스할 수 있는 제2프로세서; 및 상기 제1프로세서와 상기 제2프로세서 사이에 접속되고 상기 제1프로세서와 상기 메모리 장치에 접속되는 버스를 구비하며, 상기 제1프로세서와 상기 제2프로세서 중에서 어느 하나의 프로세서는 클락신호의 상승에지와 하강에지 중에서 어느 하나의 에지에 동기되어 상기 버스를 통하여 상기 메모리 장치를 액세스한다.
- <30> 상기 기술적 과제를 달성하기 위한 제1프로세서, 제2프로세서, 메모리 장치 및 상기 제1프로세서와 상기 제2프로세서와 상기 메모리 장치에 각각 접속되는 버스를 구비하는 시스템에서 상기 제1프로세서와 상기 제2프로세서가 서로 통신하는 방법은 상기 제1프로세서와 상기 제2프로세서 중에서 적어도 어느 하나의 프로세서가 상기 메모리 장치의 액세스를 제어하는 제어신호를 발생하는 단계; 및 상기 제1프로세서와 상기 제2프로세서 중에서 어느 하나의 프로세서가 상기 제어신호의 논리상태 및 클락신호의 상승에지와 하강에지 중에서 어느 하나의 에지에 동기되어 상기 버스를 통하여 다른 하나의 프로세서로 소정의 통신신호를 출력한다.
- <31> 상기 기술적 과제를 달성하기 위한 시스템은 메모리 장치; 상기 메모리 장치를 액세스할 수 있는 제1프로세서; 상기 메모리 장치를 액세스할 수 있는 제2프로세서; 및 상기 제1프로세서와 상기 제2프로세서 사이에 접속되고 상기 제1프로세서와 상기 메모리 장치에 접속되는 버스를 구비하며, 상기 제1프로세서와 상기 제2프로세서 중에서 어느 하나의 프로세서가 상기 제어신호의 논리상태 및 클락신호의 상승에지와 하강에지 중에서 어느 하나의 에지에 동기되어 상기 버스를 통하여 다른 하나의 프로세서로 소정의 통신신호를 출력한다.

- <32> 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.
- <33> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.
- <34> 본 발명에 따른 각 기술적 사상은 이동 전화기, PDA 등을 포함하는 휴대용 통신기기에 사용될 수 있다. 그러나 본 명세서에서는 설명의 편의를 위하여 이동 전화기를 예로 들어 설명하나 본 발명에 따른 기술적 사상이 이동 전화기에 한정되는 것은 아니다.
- <35> 도 2는 본 발명의 제1실시예에 따른 이동 전화기의 내부 시스템을 나타내는 블록도이다. 도 2를 참조하면, 내부 시스템(200)은 제1프로세서(210), 제2프로세서 (220), 버스(230) 및 메모리 장치(240)를 구비한다.
- <36> 제1프로세서(210)는 지연 동기루프(DLL; Delay Locked Loop, 213)를 구비하는 메모리 컨트롤러(211)를 구비하고, 제2프로세서(220)는 지연동기 루프(223)를 구비하는 메모리 컨트롤러(221)를 구비한다. 각 지연동기루프(213과 223)는 당업계에서 잘 알려진 바와 같이 클락신호(CLK)와 궤환 클락신호(CLKR)의 위상차이를 검출하고, 두 신호들(CLK과 CLKR)의 위상차이를 제거한다. 클락신호(CLK)와 궤환 클락신호(CLKR)는 메모리 장치(240)로 공급된다. 제1프로세서(210), 제2프로세서 (220) 및 메모리 장치(240)는 버스(230)에 접속된다. 제2프로세서(220)는 시스템 (200)에 외부와 소정의 데이터를 주고받을 수 있는 모뎀이 될 수 있다.
- <37> 도 3은 도 2에 도시된 내부 시스템의 동작 타이밍도이다. 도 2 및 도 3을 참조하면, 제1프로세서(210)는 클락신호(CLK)의 상승에지에 응답하여 버스(230)를 통하여 메모리 장치(240)

와 소정의 데이터를 주고받는다(이하 '엑세스'라 한다.). 또한 제2프로세서(220)는 클락신호(CLK)의 하강에지에 응답하여 버스(230)를 통하여 메모리 장치(240)를 엑세스한다. 따라서 버스(230)의 대역폭은 각 프로세서(210과 220)의 대역폭의 두 배이다. 따라서 버스(230)의 사용 효율이 증가하는 효과가 있다.

<38> 예컨대 제1프로세서(210)로부터 출력되는 제어신호(CNTRL)의 논리 상태가 로우(low)인 경우 어드레스(RA)는 클락신호(CLK)의 상승에지에 동기되어 메모리 장치(240)로 전송되고, 상기 어드레스(RA)에 상응하는 데이터(RD0)는 클락신호(CLK)의 상승에지에 동기되어 메모리 장치(240)로부터 독출된다. 여기서 각 어드레스(RA, RB)는 제1프로세서(210)에 의하여 생성된다.

<39> 또한, 제2프로세서(220)로부터 출력되는 제어신호(CNTRL)의 논리 상태가 로우(low)인 경우 어드레스(FA)는 클락신호(CLK)의 하강에지에 응답하여 메모리 장치(240)로 전송되고, 상기 어드레스(FA)에 상응하는 데이터(FD0)는 클락신호(CLK)의 하강에지에 응답하여 메모리 장치(240)로부터 독출된다. 여기서 각 어드레스(FA, FB)는 제2프로세서(220)에 의하여 생성된다.

<40> 도 4는 도 2에 도시된 내부 시스템의 동작개념을 나타낸다. 도 2 내지 도 4를 참조하면, 제1프로세서(210)는 클락신호(CLK)의 상승에지에 응답하여 인에이블되는 버퍼(401)를 구비하므로, 버퍼(401)는 클락신호(CLK)의 상승에지에 응답하여 명령 및 어드레스(CMD)를 버스(230)를 통하여 메모리 장치(240)로 전송한다. 그리고 제1프로세서(210)는 클락신호(CLK)의 상승에지에 응답하여 메모리 장치(240)로부터 데이터를 독출할 수도 있다. 여기서 클락신호(CLK)의 상승에지에 응답하여 전송되는 신호는 명령 및 어드레스(CMD)이외에 실제 데이터 등을 포함한다.

- <41> 또한, 제2프로세서(220)는 클락신호(CLK)의 하강에지에 응답하여 인에이블되는 버퍼(403)를 구비하므로, 버퍼(403)는 클락신호(CLK)의 하강에지에 응답하여 명령 및 어드레스(CMD)를 버스(230)를 통하여 메모리 장치(240)로 전송한다. 그리고 제2프로세서(220)는 클락신호(CLK)의 하강에지에 응답하여 메모리 장치(240)로부터 데이터를 독출할 수 도 있다.
- <42> 메모리 장치(240)는 버퍼(405), 제1레지스터(407), 제2레지스터(409), 듀얼-포트 메모리 장치(411) 및 출력버퍼(413)를 구비한다. 메모리 장치(240)는 내브 구조는 제1프로세서(210)과 제2프로세서(220)의 구조에 따라 다양하게 변형될 수 있다.
- <43> 버퍼(405)는 버스(230)를 통하여 입력되는 신호(들)를 수신하고, 제1레지스터(407)는 클락신호(CLK)의 하강에지에 동기되어 버퍼(405)의 출력신호를 수신하고, 제2레지스터(409)는 클락신호(CLK)의 상승지에 동기되어 버퍼(405)의 출력신호를 수신한다. 제1레지스터(407)와 제2레지스터(409)는 버퍼(405)의 출력신호를 클락신호의 상승에지와 하강에지에 따라 분리저장하는 기능을 한다.
- <44> 제1레지스터(407)의 출력단은 듀얼-포트 메모리 장치(411)의 제1입력포트 (IP1)에 접속되고, 제2레지스터(409)의 출력단은 듀얼-포트 메모리 장치(411)의 제2입력포트(IP2)에 접속되고, 각 출력포트(OP1, OP2)는 출력버퍼(413)에 접속된다. 출력버퍼(413)는 듀얼-포트 메모리 장치(411)로부터 출력되는 데이터를 수신하고 출력데이터(DQi)를 출력한다. 각 입력포트(IP1과 IP2)를 통한 데이터 프로세싱 (data processing)은 서로 독립적이고 각 출력포트(OP1, OP2)를 통한 데이터 프로세싱은 서로 독립적이다.
- <45> 도 5는 도 2에 도시된 시스템의 프로세서들이 서로 통신을 하는 방법을 나타내는 블록도이다. 도 6은 도 5에 도시된 시스템의 동작 타이밍도를 나타낸다. 여기서 통신이란 각 프로세

서(210과 220)가 메모리 장치(240)를 액세스하지 않고, 프로세서들(210과 220)이 소정의 요청 신호(request)/승인신호(acknowledge) 등을 주고받는 것을 의미한다.

- <46> 도 2, 도 5 및 도 6을 참조하여 제1프로세서(210)와 제2프로세서(220)가 통신을 위한 명령(cmd, 또는 ack)을 주고받는 경우를 설명하면 다음과 같다. 제1프로세서(210)로부터 출력되는 제어신호(CNTRL)가 활성화(예컨대 논리 하이)되거나 제2프로세서(220)로부터 출력되는 제어신호(CNTRL)가 활성화되는 경우, 제1프로세서(210) 또는 제2프로세서(220)는 메모리 장치(240)를 액세스하지 않는다.
- <47> 예컨대 제어신호(CNTRL)로서 액티브 로우(active low)인 칩 선택신호(chip select signal)가 사용되는 경우 제어신호(CNTRL)가 논리 '하이'인 경우 제1프로세서(210) 또는 제2프로세서(220)는 메모리 장치(240)를 액세스할 수 없다.
- <48> 즉, 제1프로세서(210)는 제어신호(CNTRL)가 활성화(H)를 유지하는 동안 클락신호(CLK)의 상승에지에 응답하여 메모리 장치(240)를 액세스 할 수 없다. 따라서 제1프로세서(210)는 버스(230)를 통하여 소정의 통신명령(cmd)을 제2프로세서(220)로 전송할 수 있다.
- <49> 또한, 제2프로세서(220)는 제어신호(CNTRL)가 활성화(H)상태를 유지하는 경우 클락신호(CLK)의 하강에지에 응답하여 메모리 장치(240)를 액세스 할 수 없다. 따라서 제2프로세서(220)는 버스(230)를 통하여 통신명령(ack)을 제1프로세서(210)로 전송한다. 또한, 제2프로세서(220)는 클락신호(CLK)의 하강에지에 동기되어 소정의 데이터(FD0, FD1)를 버스(230)를 통하여 제1프로세서(210)로 전송할 수 있다.
- <50> 도 7은 본 발명의 제2실시예에 따른 듀얼-포트 RAM을 구비하는 이동 전화기의 내부 시스템의 블록도를 나타낸다. 도 7을 참조하면, 시스템(700)은 제1마스터 장치로서의 제1프로세서

(710), 제2마스터 장치로서의 제2프로세서(730), 및 슬레이브 장치로서의 메모리 장치(720)를 구비한다.

- <51> 제1프로세서(710)와 메모리 장치(720)는 제1버스(715)를 통하여 접속되고, 메모리 장치(720)와 제2프로세서(730)는 제2버스(725)를 통하여 접속된다. 본 발명에 따른 메모리 장치(720)는 듀얼-포트 메모리 장치이고, 상기 듀얼-포트 메모리 장치는 다수개의 बैं크들(721, 723, 275, 및 727)을 구비한다. 따라서 제1프로세서 (710)와 제2프로세서(730)는 메모리 장치(720)와 각 버스(715, 725)를 통하여 소정의 데이터를 주고받는다.
- <52> 각 버스(715, 725)의 구조 및/또는 각 버스를 구성하는 라인상의 신호(nCSi, CnDi, nRWi, FCKi, DIOi[3:0], RCKi, STATi, 여기서 i는 1 또는 2)는 도 9 및 도 10을 참조하여 상세히 설명될 것이다. DIOi[n:0]일수 있으며, n(n은 자연수)은 3, 7, 15 등의 자연수이다.
- <53> 본 발명에 따른 듀얼-뱅크 RAM(720)는 제1프로세서(710)에 의하여 메모리 장치(720)의 बैं크A(721)가 액세스되는 동안 제1프로세서(710) 및/또는 제2프로세서 (730)가 बैं크A (721)를 액세스하려고 하는 경우, बैं크A(721)가 제1프로세서(710)에 의하여 액세스되고 있음을 나타내는 본 발명에 따른 지시신호(WAIT)를 제1프로세서 (710) 및/또는 제2프로세서(730)로 출력한다. 각 बैं크(721, 723, 275, 및 727)는 각 프로세서(710과 730)에 의하여 독립적으로 액세스된다.
- <54> 도 8a는 본 발명의 제3실시예에 따른 버스 프로토콜을 사용하는 이동 전화기의 내부 시스템의 제1블락도를 나타낸다. 도 8a를 참조하면, 제1블락도(800a)는 마스터 장치로서의 제1프로세서(810a), 카메라 모듈(819), 2차원/3차원 그래픽스 엔진(2D/3D graphics engine; 821), LCD모듈(823), 슬레이브 장치(slave device)로서의 반도체 장치(825), 마스터 장치로서의 제2프로세서(830), 제1버스(817) 및 제2버스(831)를 구비한다.



- <55> 반도체 장치(825)는 NAND플래쉬 메모리(827) 및 SDRAM(829)를 구비한다. NAND플래쉬 메모리(827)는 제1프로세서(810a), 제2프로세서(830), 카메라 모듈(819), 2D/3D 엔진(821), 및 LCD 모듈(823)중에서 적어도 하나의 운영체제 (O/S)프로그램을 저장할 수 있다. SDRAM(829)은 듀얼-포트 메모리로 구성될 수 있고 제1버스(817)상의 데이터와 제2버스(831)상의 데이터를 송수신할 수 있다.
- <56> 제1프로세서(810a)는 CPU(central Processing unit), DMA(Direct Memory Access), 브리지, 다수개의 내부 주변장치들(PERI#1 내지 PERI#3), 제1내부 버스 (811), 제2내부 버스(813) 및 버스 마스터 컨트롤러(815)를 구비한다.
- <57> CPU 및 DMA는 제1내부 버스(811)에 접속되고, 다수개의 내부 주변장치들 (PERI#1 내지 PERI#3)각각은 제2내부 버스(813)에 접속된다. 상기 브리지는 제1내부 버스(811)와 제2내부 버스(813)사이에 접속되고, 제1내부 버스(811)와 제2내부 버스(813)의 통신 프로토콜을 맞추고, 제1내부 버스(811)와 제2내부 버스(813)사이의 데이터를 주고받는다.
- <58> 카메라 모듈(819), 2차원/3차원 그래픽스 엔진(821), LCD모듈(823), NAND플래쉬 메모리(827) 및 SDRAM(829)은 제1버스(817)에 접속된다. 버스 마스터 컨트롤러(815)는 제1버스(817)를 동작을 전반적으로 제어한다. 또한 각 프로세서(810a, 860)는 메모리 장치(825)와 데이터를 기입/독출하기 위한 동작을 제어하기 위한 메모리 컨트롤러(미 도시)를 각각 더 구비한다. 제2버스(831)는 SDRAM(829)과 제2프로세서(830)사이에 접속된다. 각 버스(817, 831)의 구조는 도 9에 도시된 버스(930)의 구조와 같다.
- <59> 도 8b는 본 발명의 제3실시예에 따른 버스 프로코콜을 사용하는 이동 전화기의 내부 시스템의 제2블락도를 나타낸다. 도 8b를 참조하면, 제2블락도(800b)는 마스터 장치로서의 제1프

로세서(833), 제1버스(849), 슬레이브 장치로서의 메모리 장치(859), 제2버스(857), 제3버스(865), 및 마스터 장치로서의 제2프로세서(867)를 구비한다.

- <60> 메모리 장치(859)는 NAND 플래쉬 메모리(861) 및 SDRAM(863)을 구비한다. NAND 플래쉬 메모리(861)는 제2프로세서(867)의 운영체제(O/S)를 저장할 수 있다. SDRAM(863)은 듀얼-포트 메모리로 제2버스(857)의 데이터와 제3버스(865)의 데이터를 송수신할 수 있다.
- <61> CPU, 각 브리지(839, 841), MDA 및 매트릭스(843)는 제1내부버스(835)에 접속되고, 브리지(839)는 제1내부 버스(835)와 제2내부 버스(837)사이 에 접속되고, 제1내부 버스(835)의 프로토콜과 제2내부 버스(837)의 프로토콜을 서로 맞추고 데이터를 송수신한다.
- <62> MPEG4 및 2차원/3차원 그래픽스 엔진은 제2내부 버스에 접속된다. 브리지 (841)는 제1내부버스(835)와 제3내부버스(842)사이 에 접속되고, 제1내부버스(835)의 프로토콜과 제3내부버스(842)의 프로토콜을 서로 맞추고 데이터를 송수신한다. 각 내부 주변장치들(PERI#1 내지 PERI#3)은 제3내부 버스(842)에 접속된다.
- <63> 제1버스 마스터 컨트롤러(845), 카메라 모듈(851) 및 LCD 모듈(855)은 제1버스(849)에 접속된다. 제1버스 마스터 컨트롤러(845)는 제1버스(849)로/로부터의 신호 송수신 및 제1버스(849)의 동작을 전반적으로 제어한다. 제2버스 마스터 컨트롤러(847), NAND플래쉬 메모리(861) 및 SDRAM(863)은 제2버스(857)에 접속된다. 제2버스 마스터 컨트롤러(847)는 제2버스(857)로/로부터의 신호 송수신 및 제2버스 (857)의 동작을 전반적으로 제어한다. SDRAM(863)과 제2프로세서(867)는 제3버스 (865)에 접속된다. 각 버스(849, 857, 865)의 구조는 도 9에 도시된 버스(930)의 구조와 같다. 매트릭스(843)는 두 버스(835, 837)사이에서 스위치 역할을 한다. 따라서 제1버스 마스터 컨트롤러(845)는 매트릭스(843)를 통하여 제1내부 버스(835) 또는 제2내부 버스(837)에 접속될 수 있다.



- <64> 도 8c는 본 발명의 제3실시예에 따른 버스 프로코콜을 사용하는 이동 전화기의 내부 시스템의 제3블락도를 나타낸다. 도 8c의 내부 블락도(800c)는 제1프로세서, 메모리 장치(871) 및 제2프로세서(890)를 구비한다.
- <65> 제1버스(849)는 제1버스 마스터 컨트롤러(845)와 카메라 모듈(851)사이에 접속된다. 제2버스 마스터 컨트롤러(847), NAND 플래쉬 메모리(873), 제1SDRAM(875), 제2SDRAM(877) 및 제3SDRAM(879)은 제2버스(869)에 접속된다. 제1SDRAM(875)은 그래픽 버퍼로서의 기능을 하고, 제2SDRAM(877)은 프레임 버퍼로서의 기능을 하고, 제3SDRAM(879)은 듀얼-포트 메모리이다. 제1SDRAM(875) 및 제2SDRAM(877)은 듀얼-포트 메모리로 구현 될 수 있다.
- <66> 제3버스(889)는 제3SDRAM(879)과 제2프로세서(890)사이에 접속되고, 제4버스 (885)는 제2SDRAM(877)과 LCD모듈(887)사이에 접속되고, 제5버스(881)는 제1SDRAM (875)과 2차원/3차원 그래픽스 엔진(883)사이에 접속된다. 각 버스(849, 869, 881, 885, 889)의 구조는 도 9에 도시된 버스(930)의 구조와 동일하다.
- <67> 도 8a 내지 도 8c에 도시된 제1프로세서(810a, 833)는 버스(미 도시)를 통하여 코-프로세서와 접속될 수 있다. 각 프로세서(810a, 833)는 상기 버스를 제어하기 위한 버스 컨트롤러(미 도시)를 더 구비할 수 있다. 상기 코-프로세서는 그래픽스 가속기(graphics accelerator), 무선 랜(WLAN), 또는 GPS일 수 있다.
- <68> 도 9는 마스터 장치와 슬레이브 장치사이에 접속되는 버스의 구조를 나타낸다. 마스터 장치(910)와 슬레이브 장치(920)는 버스(930)를 통하여 접속된다. 마스터 장치(910)는 슬레이브 장치(920)로 명령 패킷을 전송하고, 데이터 기입 또는 데이터 독출을 위한 데이터의 방향을 제어한다.



- <69> 또한 마스터 장치(910)로부터 출력되는 모든 제어신호들(CnD, nRW 등)은 FCK에 완전히 동기된다. 또한, 명령 패킷과 기입-데이터 패킷은 FCK에 동기되어 슬레이브 장치(920)로 전송된다.
- <70> 슬레이브 장치(920)는 소정의 내부 레지스터(들)를 구비하고, 마스터 장치(910)로부터의 기입/독출 동작에 응답한다. 슬레이브 장치(920)는 필수적인 레지스터들(mandatory registers)과 사용자에 의하여 정의된 레지스터들을 구비한다. 그리고 슬레이브 장치(920)는 마스터 장치(910)로부터 출력된 명령 패킷을 디코딩한다.
- <71> 도 10은 마스터 장치와 슬레이브 장치사이에 접속되는 버스상의 신호의 정의(또는 프로토콜)를 나타낸다. 도 9 및 도 10을 참조하면, nCS는 칩 선택 신호(또는 슬레이브 장치 선택신호)이고 액티브 로우이다. CnD는 마스터 장치(910)로부터 슬레이브 장치(920)로 전송되는 패킷의 종류를 나타내고, CnD가 논리 하이인 경우 전송되는 패킷은 명령 패킷이고, CnD가 논리 로우인 경우 전송되는 패킷은 데이터 패킷이다.
- <72> nRW는 데이터 핀들(DIO)을 통하여 전송되는 데이터의 방향을 나타내고, nRW가 논리 하이인 경우 마스터 장치(910)로부터 출력된 데이터는 슬레이브 장치(920)로 기입(write)되고, nRW가 논리 로우인 경우 슬레이브 장치(920)로부터 독출된 데이터는 마스터 장치(910)로 전송된다. FCK는 포워드 클락신호(forward clock signal)를 나타내고, 마스터 장치(910)로부터 생성된 명령 및 기입-데이터 패킷들은 FCK에 동기된다.
- <73> DIO[3:0]은 4-비트 양-방향 데이터 버스를 나타낸다. RCK는 리턴(return)되는 클락신호를 나타내고, 슬레이브 장치(920)로부터 독출된 데이터 패킷들은 RCK에 동기되어 마스터 장치(910)로 전송된다. STAT는 슬레이브 장치(920)의 응답(response) 또는 슬레이브 장치(920)가

마스터 장치(910)에 요구하는 리퀘스트 (request)이다. 각 신호(CnD, nRW, FCK, DIO[3:0], RCK 및 STAT[1:0])는 제어신호이다.

- <74> 도 11은 마스터 장치로부터 출력되는 명령 패킷의 구조를 나타낸다. 명령 패킷은 $(4 + (4 \times E)) \times 4$ 비트로 구성된다. 여기서 E는 0 내지 3인 것이 바람직하다. 그러나 E는 자연수일 수 있다. 따라서 가장 짧은 명령 패킷은 16비트(E=0)이고 가장 긴 명령 패킷은 64비트(E=3)이다.
- <75> 도 12는 명령 패킷을 구성하는 필드들에 대한 정의를 나타낸다. 도 9 내지 도 12를 참조하면, 필드 R은 현재 처리(transaction)되는 대상(target)을 나타낸다.
- <76> 필드 R은 1비트로 구성된다. 마스터 장치(910)는 슬레이브 장치(920)의 내부 레지스터(미도시) 또는 상기 슬레이브 장치(920)에 의하여 공급되는 실제 데이터를 액세스할 수 있다. 예컨대 필드 R이 0인 경우 마스터 장치(910)는 상기 실제 데이터를 액세스하고, 필드 R이 1인 경우 마스터 장치(910)는 슬레이브 장치(920)의 내부 레지스터를 액세스한다.
- <77> 필드 TY는 현재 전송되는 형태를 나타내고, 필드 TY는 2비트로 구성된다. 예컨대 필드 TY가 00인 경우 현재 전송되는 형태는 독출 전송(read transfer)을 나타내고, 필드 TY가 01인 경우 현재 전송되는 형태는 지연 독출 전송(delayed read transfer)을 나타내고, 필드 TY가 10인 경우 현재 전송되는 형태는 기입 전송을 나타내고, 필드 TY가 11인 경우 유보(reserved)를 나타낸다. 따라서 슬레이브 장치는 상기 TY에 따라 마스터 장치로부터 출력된 기입 데이터를 수신하거나 또는 상기 마스터 장치로 데이터를 전송한다.
- <78> 필드 CL는 명령 패킷의 길이를 나타내고, 필드 CL은 2비트로 구성된다. 필드 CL이 00인 경우 명령 패킷은 4×4 -비트를 나타내고, 필드 CL이 01인 경우 명령 패킷은 8×4 -비트를 나타내



고, 필드 CL이 10인 경우 명령 패킷은 12×4-비트를 나타내고, 필드 CL이 11인 경우 명령 패킷은 16×4-비트를 나타낸다.

<79> 필드 DL은 데이터 패킷의 길이(또는 크기)를 나타내고, 필드 DL은 4비트로 구성된다. 데이터 패킷의 크기는 $2^{(DL)}$ 바이트(bytes)이다. 따라서 데이터 패킷의 크기는 1(DL=0) 바이트 내지 32,768(DL=15)바이트(bytes)가 될 수 있다. 필드 A0 ~ Ai는 요구된 전송의 시작 어드레스로 구성되고, 필드 A0 ~ Ai는 $4 \times (i+1)$ 비트로 구성된다.

<80> 도 13은 본 발명에 따른 마스터 장치가 슬레이브 장치로부터 데이터를 독출하는 과정을 나타내는 개념도이다. 도 13은 마스터 장치가 사용자에게 의하여 정의된 메모리 영역과 필수적인 메모리 영역(mandatory region)을 포함하는 슬레이브 장치의 내부 레지스터에 저장된 값들을 독출하는 개념을 나타낸다. 이를 직접 모드 액세스(Immediate Mode Access)라 한다.

<81> 도 14는 본 발명에 따른 마스터 장치가 슬레이브 장치로부터 데이터를 독출하는 과정을 나타내는 타이밍도이다. 도 9, 도 10, 도 13 및 도 14를 참조하여 메모리 액세스 동작 중 데이터 독출 동작을 설명하면 다음과 같다.

<82> 마스터 장치(910)로부터 출력된 CnD가 논리 하이를 유지하는 동안 명령 패킷과 어드레스(C)는 버스(930)의 라인들을 통하여 슬레이브 장치(920)로 전송된다. 슬레이브 장치(920)는 명령 패킷 및 어드레스(C)를 수신하고 데이터 독출 동작을 수행하고 유효한 데이터(D)를 마스터 장치(910)로 전송한다. 이때 유효한 데이터(D)의 전송시작을 나타내기 위하여 STAT는 논리 하일로 천이(transition)한다. 그리고 유효한 데이터(D)는 RCK의 상승에지 및 하강에지에 동기되어 마스터 장치(910)로 전송된다.

- <83> 도 15는 본 발명에 따른 마스터 장치가 슬레이브 장치로부터 데이터를 독출하는 버퍼드 독출 과정을 나타내는 개념도이다. 이를 버퍼드 모드 액세스(buffered Mode Access)라 한다. 도 16은 본 발명에 따른 마스터 장치가 슬레이브 장치로부터 데이터를 독출하는 버퍼드 독출 과정을 나타내는 타이밍도이다.
- <84> 도 9, 도 10, 도 15 및 도 16을 참조하여 마스터 장치(910)가 다수개의 독출 명령을 슬레이브 장치(920)로 출력하는 경우 메모리 액세스 동작을 설명하면 다음과 같다.
- <85> CnD가 논리 하이이고 nRW가 논리 하이인 경우 마스터 장치(910)로부터 출력된 명령 패킷 및 어드레스(C)는 슬레이브 장치(920)로 전송된다. 도 16을 참조하면 두 개의 명령 패킷 및 어드레스(C)는 슬레이브 장치(920)로 전송된다. 그리고 슬레이브 장치(920)로부터 출력되는 STAT가 논리 하이로 천이하는 경우 마스터 장치(910)는 논리 하이로 천이한 STAT에 응답하여 슬레이브 장치(920)로부터 독출된 데이터를 수신할 수 있다. 지연 독출 전송(delayed read transfer)은 마스터 장치가 도 14에 도시된 준비신호(Ready)를 수신했을 때(즉, STAT가 하이로 천이했을 때) 시작될 수 있다.
- <86> 도 17은 본 발명에 따른 마스터 장치가 슬레이브 장치로부터 데이터를 기입하는 과정을 나타내는 타이밍도이다.
- <87> 도 9, 도 10 및 도 17을 참조하면, 명령 패킷이 전송된 직후에 데이터 패킷이 전송된다. CnD가 논리 로우이고 nRW가 논리 하이인 경우 마스터 장치(910)는 슬레이브 장치(920)로 데이터(D)를 기입할 수 있다.



- <88> 직접 모드 액세스에서 STAT는 실제 데이터가 슬레이브 장치(920)로 완전히 기입된 후 논리 하이로 천이하고, 버퍼드 모드 액세스에서 STAT는 마스터 장치(910)로부터 기입 데이터의 전송이 완료됨과 동시에 논리 하이로 천이한다.
- <89> 도 9 내지 도 17을 참조하여 설명된 버스의 구조, 버스상의 신호들의 정의, 데이터 기입, 및 데이터 독출 타이밍도는 도 8a 내지 도 8c에 도시된 각 버스(817, 831, 849, 857, 865, 849, 869, 881, 885, 889)에 그대로 적용된다.
- <90> 따라서 제1프로세서(810a)는 본 발명에 따르고 도 9 내지 도 17을 참조하여 설명된 버스 프로토콜을 사용하여 제1버스(817)를 통하여 카메라 모듈(819), 2차원/3차원 엔진(821), LCD 모듈(823), NAND 플래쉬 메모리(827) 및 SDRAM(829)중에 적어도 하나와 소정의 데이터를 주고받을 수 있다. 또한 모뎀으로 구현될 수 있는 제2프로세서(830)는 제2버스(829)를 통하여 본 발명에 따른 버스 프로토콜을 사용하여 SDRAM(829)와 소정의 데이터를 주고받을 수 있다. 도 8b 및 도 8c에 도시된 각 마스터 장치는 본 발명에 따른 버스 프로토콜을 사용하여 각 버스를 통하여 슬레이브 장치(예컨대 카메라 모듈, LCD 모듈, SDRAM, NAND 플래쉬 메모리, 2차원/3차원 그래픽스 엔진 등)와 소정의 데이터를 주고받을 수 있다.
- <91> 본 발명은 도면에 도시된 일 실시 예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.



【발명의 효과】

- <92> 상술한 바와 같이 본 발명에 따른 시스템은 상기 시스템의 크기를 감소시키고 상기 내부 시스템을 단순화할 수 있는 효과가 있다.
- <93> 본 발명에 따른 버스 프로토콜을 사용하여 마스터 장치와 슬레이브 장치간에 데이터를 주고받을 수 있는 효과가 있다.

【특허청구범위】

【청구항 1】

제1프로세서, 제2프로세서, 메모리 장치 및 상기 제1프로세서와 상기 제2프로세서와 상기 메모리 장치에 각각 접속되는 버스를 구비하는 시스템에서 상기 메모리 장치를 액세스하는 방법에 있어서,

상기 제1프로세서가 클락신호의 제1에지에 응답하여 상기 버스를 통하여 상기 메모리 장치를 액세스하는 단계; 및

상기 제2프로세서가 상기 클락신호의 제2에지에 응답하여 상기 버스를 통하여 상기 메모리 장치를 액세스하는 단계를 구비하는 메모리 장치를 액세스하는 방법.

【청구항 2】

시스템에 있어서,

메모리 장치;

상기 메모리 장치를 액세스할 수 있는 제1프로세서;

상기 메모리 장치를 액세스할 수 있는 제2프로세서; 및

상기 제1프로세서와 상기 제2프로세서사이에 접속되고 상기 제1프로세서와 상기 메모리 장치에 접속되는 버스를 구비하며,

상기 제1프로세서와 상기 제2프로세서 중에서 어느 하나의 프로세서는 클락신호의 상승 에지와 하강에지 중에서 어느 하나의 에지에 동기되어 상기 버스를 통하여 상기 메모리 장치를 액세스하는 것을 특징으로 하는 시스템.

**【청구항 3】**

제1프로세서, 제2프로세서, 메모리 장치 및 상기 제1프로세서와 상기 제2프로세서와 상기 메모리 장치에 각각 접속되는 버스를 구비하는 시스템에서 상기 제1프로세서와 상기 제2프로세서가 서로 통신하는 방법에 있어서,

상기 제1프로세서와 상기 제2프로세서 중에서 적어도 어느 하나의 프로세서가 상기 메모리 장치의 액세스를 제어하는 제어신호를 발생하는 단계; 및

상기 제1프로세서와 상기 제2프로세서 중에서 어느 하나의 프로세서가 상기 제어신호의 논리상태 및 클락신호의 상승에지와 하강에지 중에서 어느 하나의 에지에 동기되어 상기 버스를 통하여 다른 하나의 프로세서로 소정의 통신신호를 출력하는 것을 특징으로 하는 통신방법.

【청구항 4】

시스템에 있어서,

메모리 장치;

상기 메모리 장치를 액세스할 수 있는 제1프로세서;

상기 메모리 장치를 액세스할 수 있는 제2프로세서; 및

상기 제1프로세서와 상기 제2프로세서사이에 접속되고 상기 제1프로세서와 상기 메모리 장치에 접속되는 버스를 구비하며,

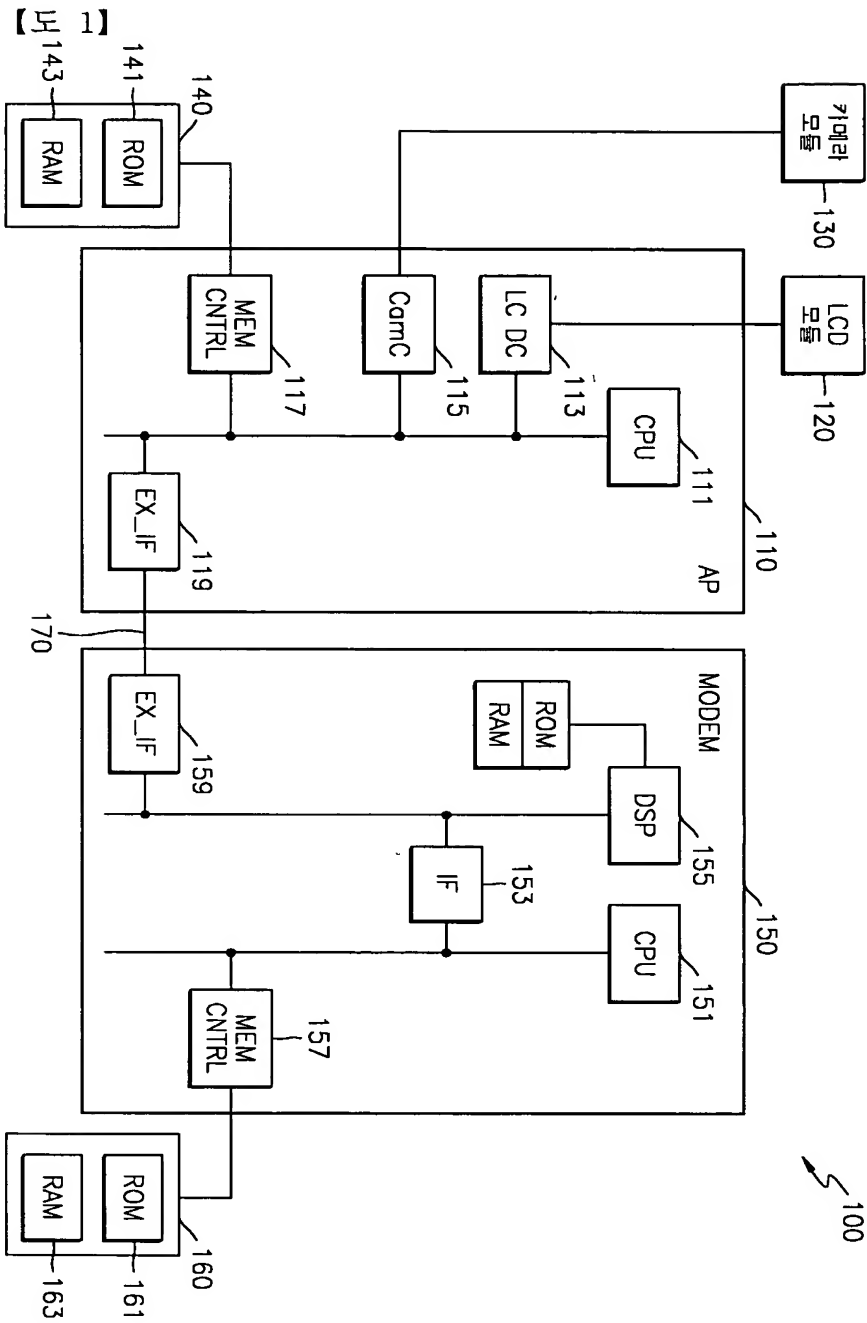
상기 제1프로세서와 상기 제2프로세서 중에서 어느 하나의 프로세서가 상기 제어신호의 논리상태 및 클락신호의 상승에지와 하강에지 중에서 어느 하나의 에지에 동기되어 상기 버스를 통하여 다른 하나의 프로세서로 소정의 통신신호를 출력하는 것을 특징으로 하는 시스템.



'【청구항 5】

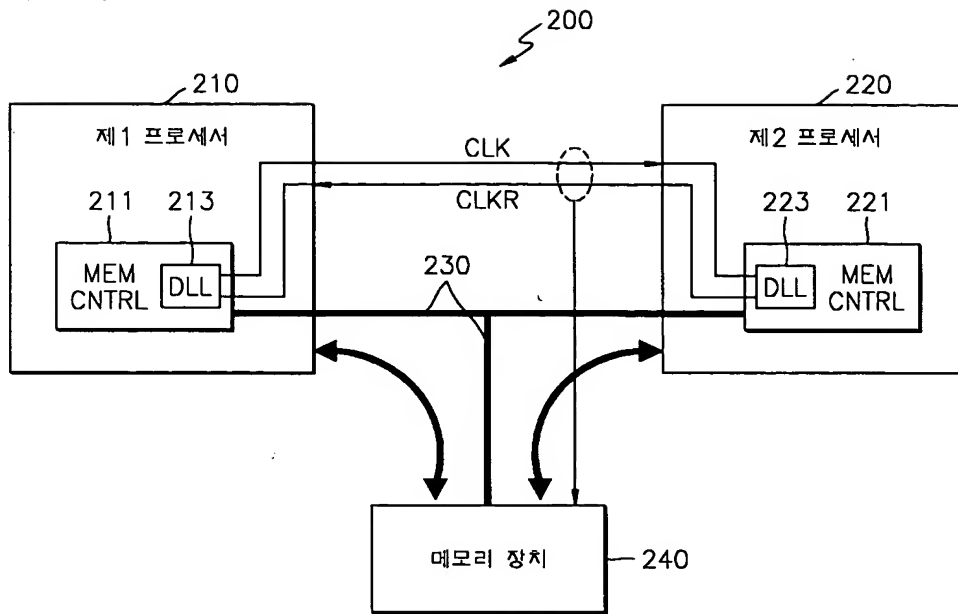
제4항에 있어서, 상기 제1프로세서와 상기 제2프로세서 중에서 적어도 어느 하나의 프로세서는 상기 통신신호가 출력되는 동안 상기 메모리 장치를 액세스하지 않는 것을 특징으로 하는 시스템.

【도면】

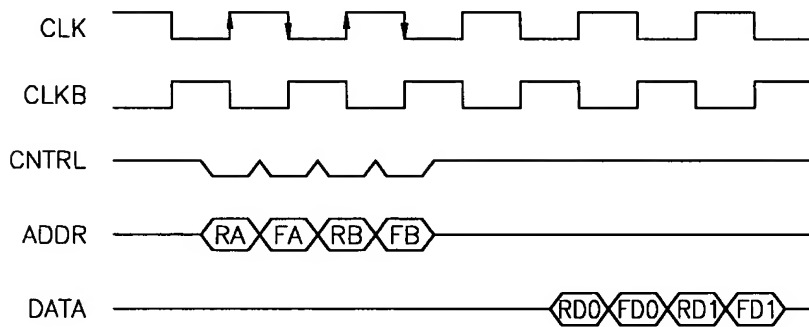




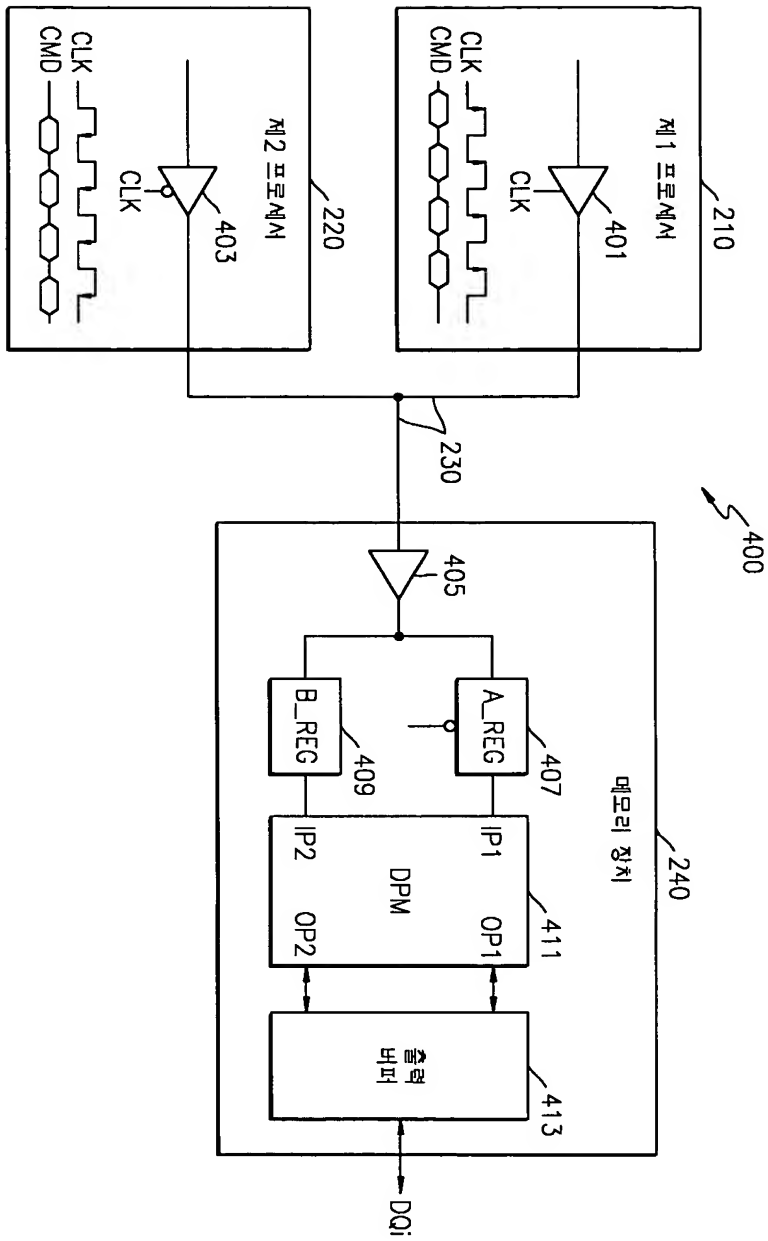
【도 2】



【도 3】

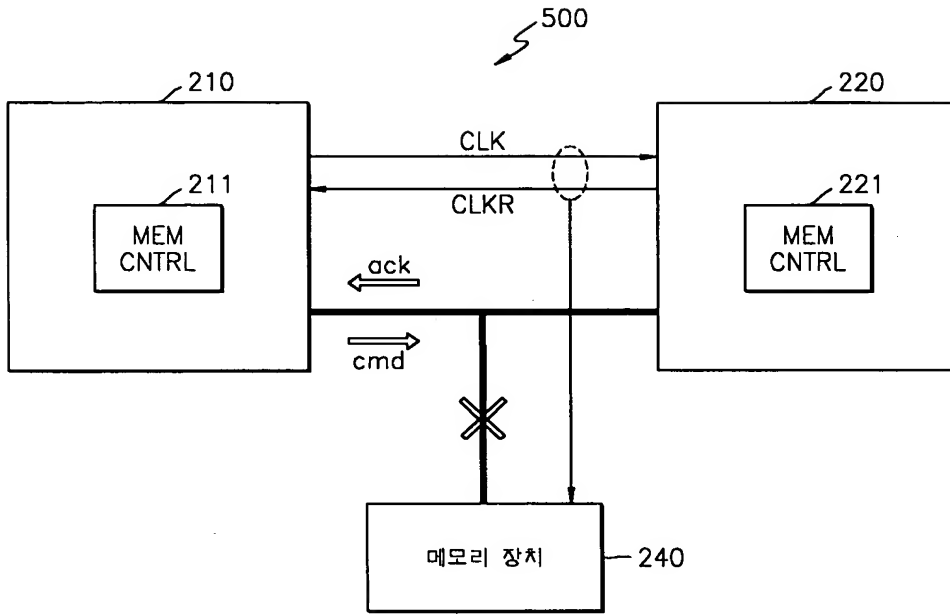


【도 4】

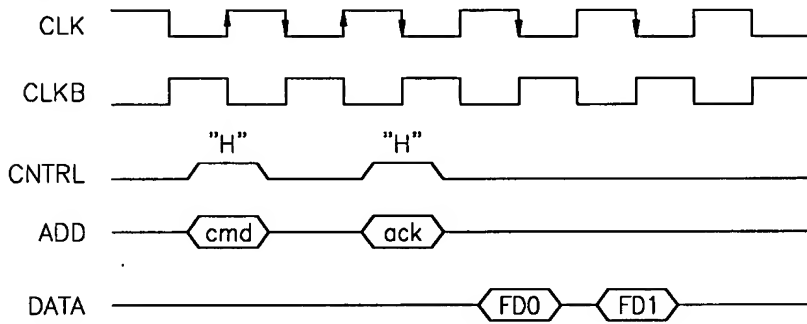




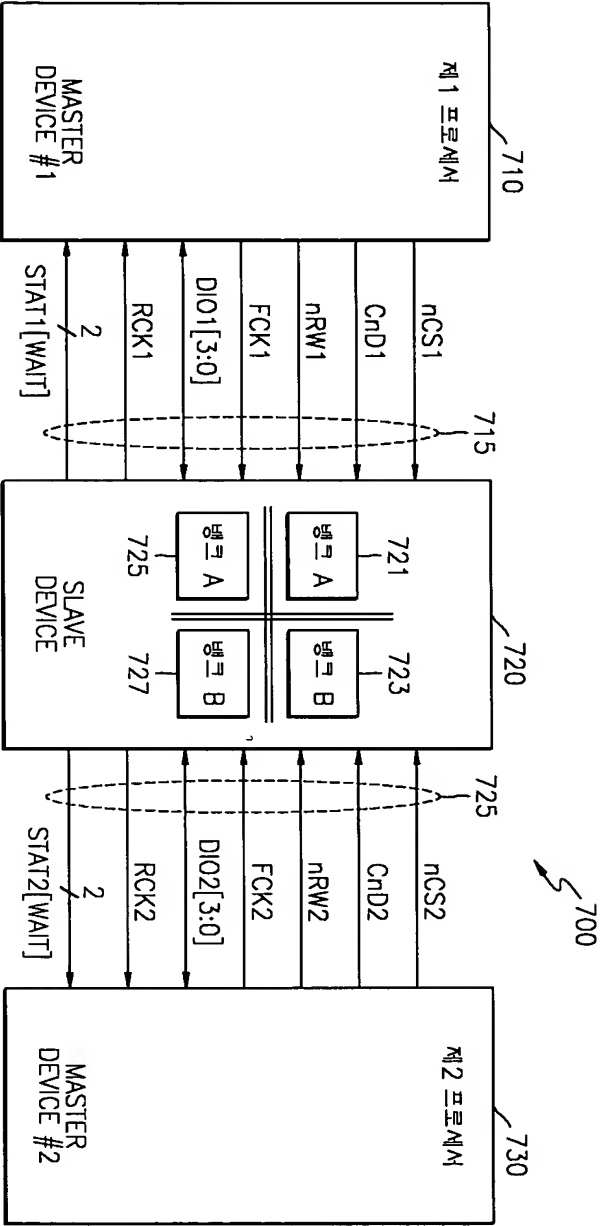
【도 5】



【도 6】

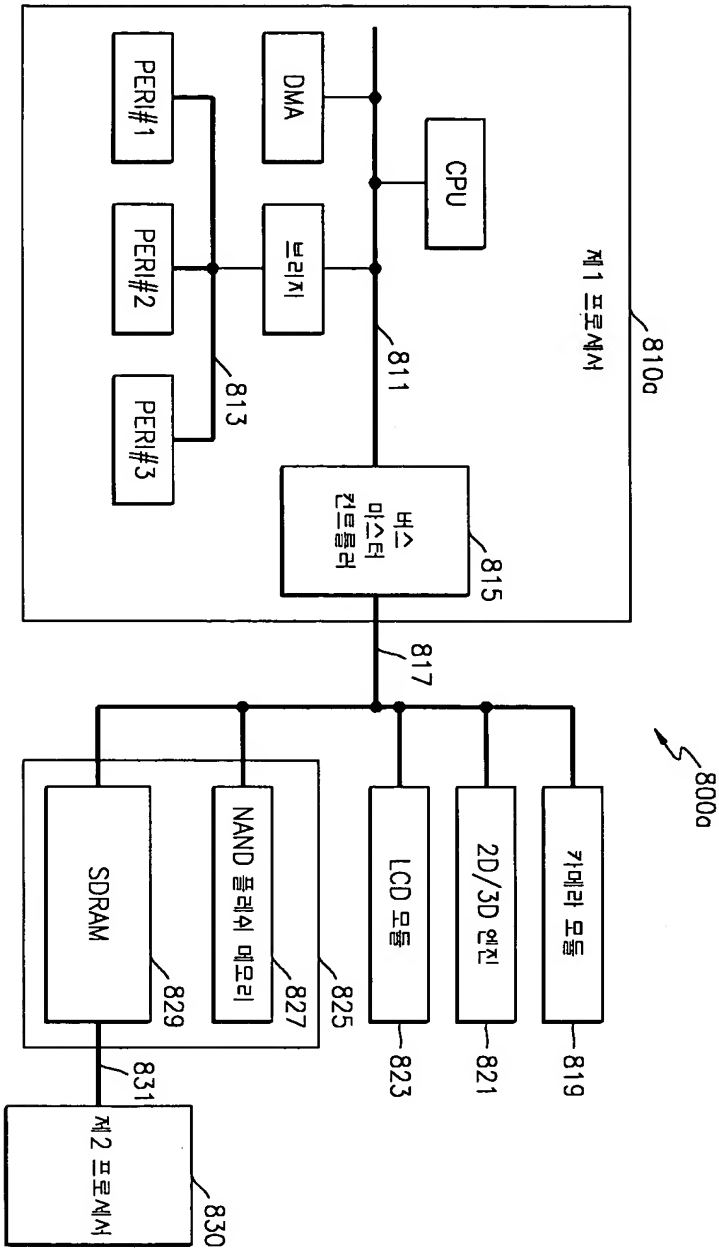


【 7】

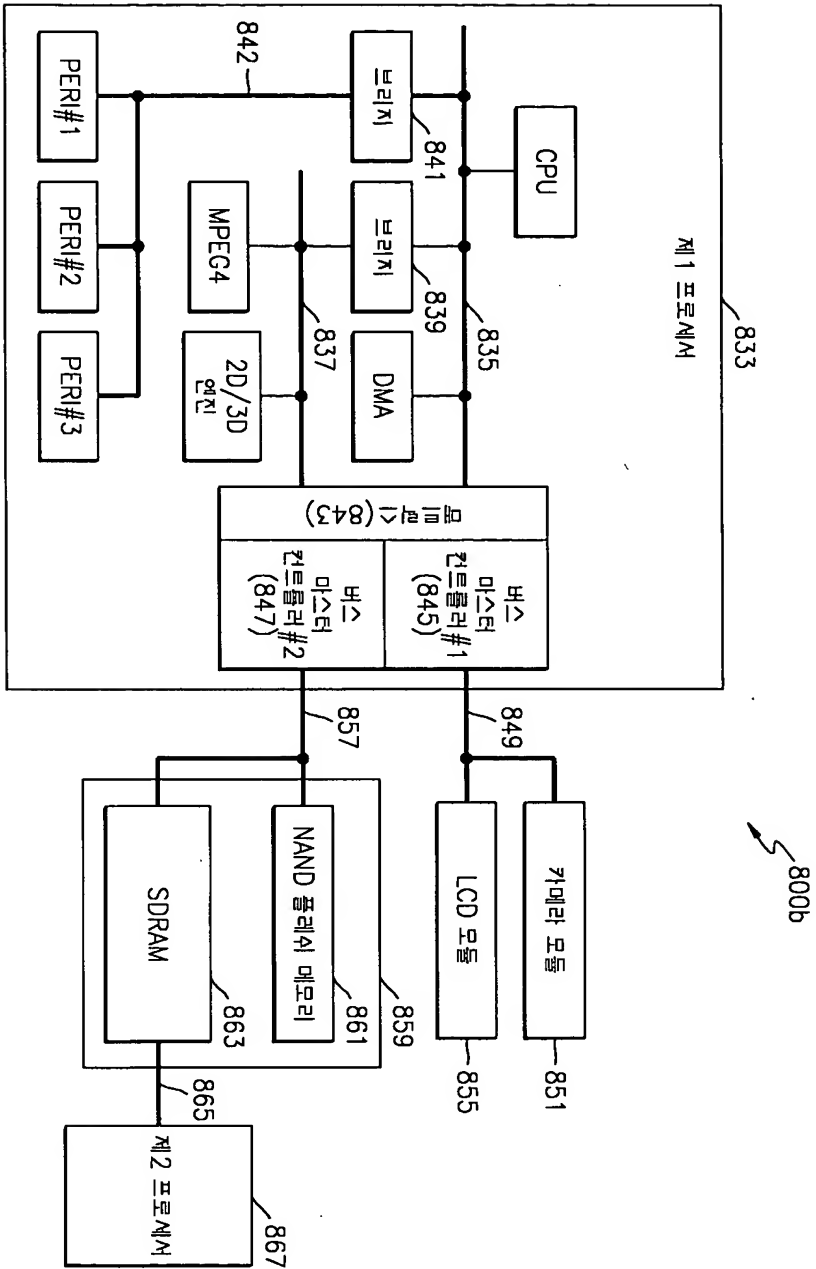




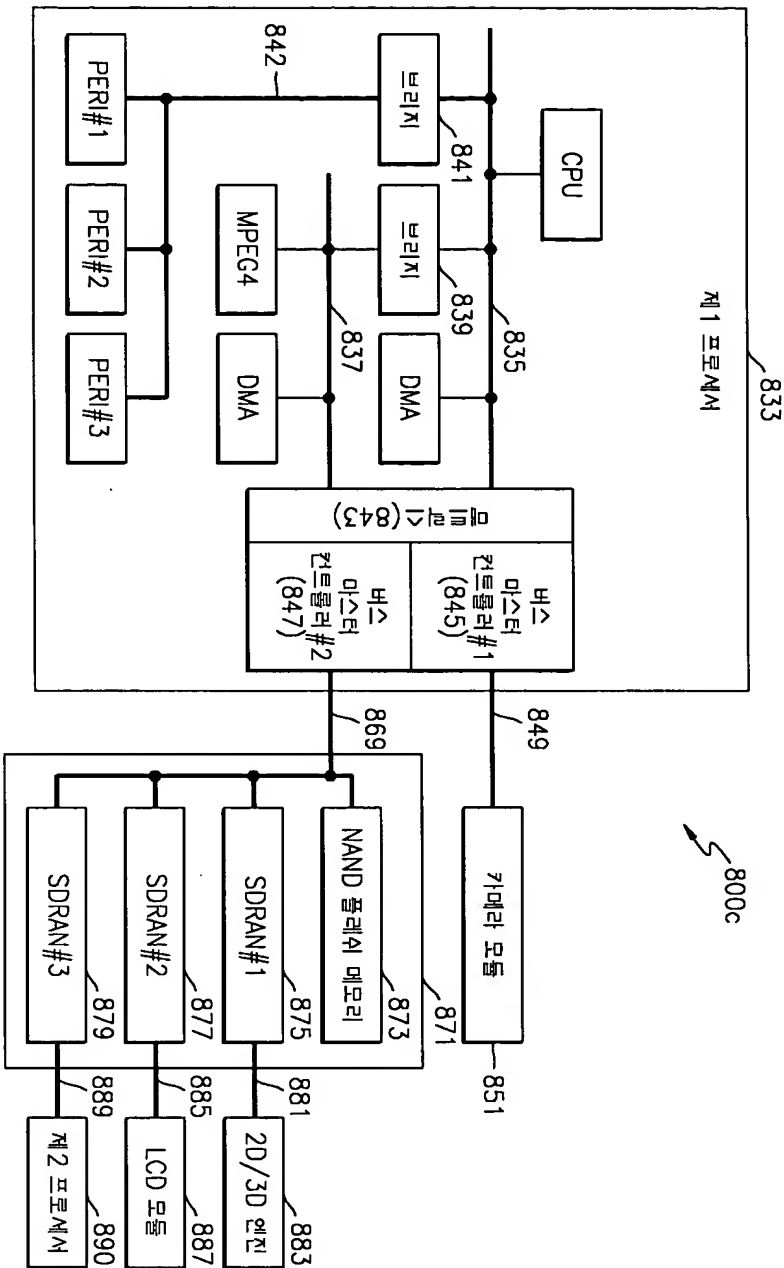
【도 8a】



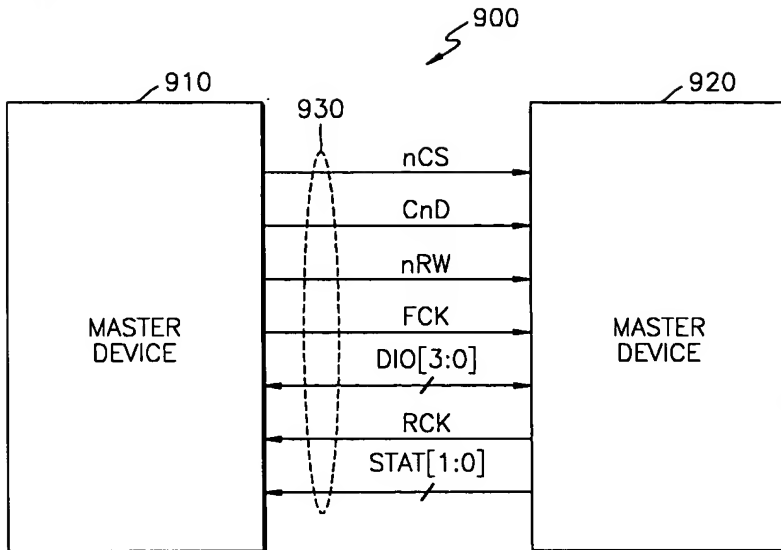
【도 8b】



【도 8c】



【도 9】



【도 10】

명칭	설명
nCS	칩 선택 신호, 액티브로우
CnD	하이 - 명령 패킷 전송 로우 - 데이터 패킷 전송
nRW	데이터 핀들의 전송 방향 하이 - 데이터 기입 로우 - 데이터 독출
FCK	포워드 클락, 명령 및 기입-데이터 패킷들이 포워드 클락에 동기됨
DIO[3:0]	4-bit 양-방향 데이터 버스
RCK	리턴 클락, 독출-데이터 패킷들이 리턴 클락에 동기됨
STAT	슬레이브 장치의 응답 또는 마스터 장치에 요구



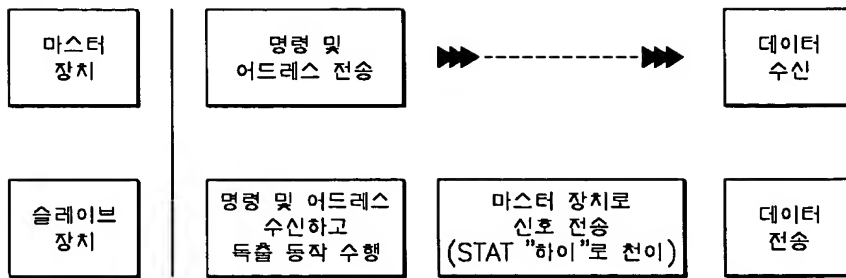
【표 11】

		비트 (bit)			
		3	2	1	0
니블 (nibble)	0	R	—	TY	
	1	—	—	CL	
	2	DL			
	3	A0			
	⋮	⋮			
	i+2	Ai			

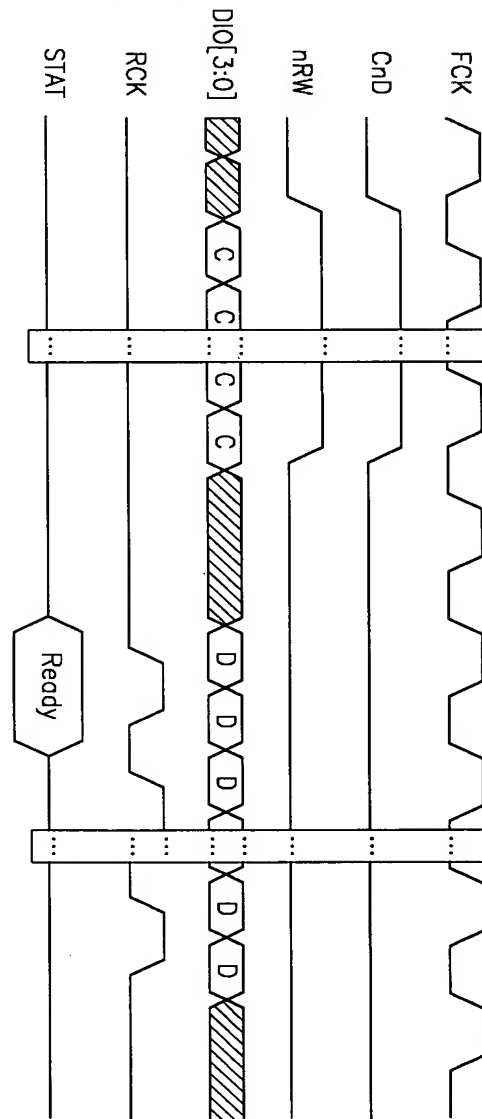
【표 12】

필드명	폭	설명
R	1	This field specifies the target of the current transaction. The master can access the internal registers of the slave device or the actual data which will be supplied by the slave device. 0 – Access normal data 1 – Access the internal register of the slave device
TY	2	This field specifies the type of the current transfer. 00 – Read Transfer 01 – Delayed Read Transfer 10 – Write Transfer 11 – Reserved
CL	2	This field specifies the length of the CMD Packet. 00 – 4 x 4-bit 01 – 8 x 4-bit 10 – 12 x 4-bit 11 – 16 x 4-bit
DL	4	This field specifies the size of the Data Packet. Data-Packet Size = 2 ^{DL} bytes (1, 2 ~ 32,768 bytes)
A0 ~ Ai	4 x (i+1)	These fields consist the start address of the requested transfer

【도 13】

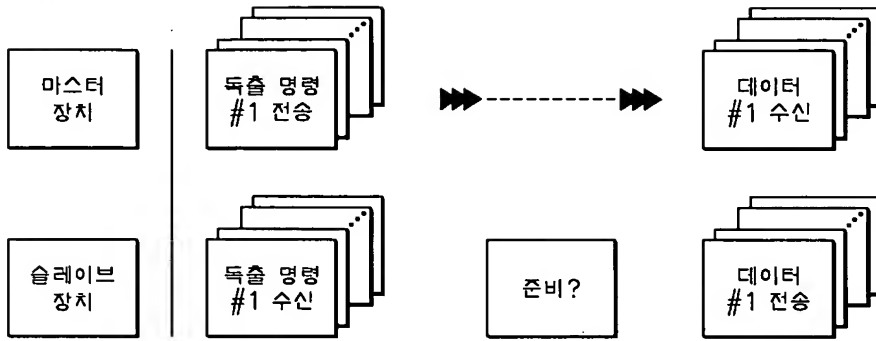


【도 14】

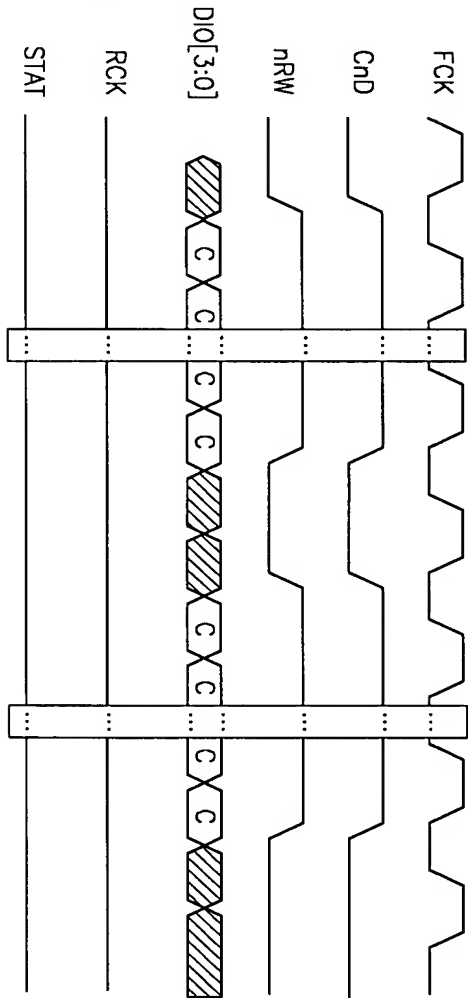




【도 15】



【도 16】



【图 17】

